

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216343

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

H 0 1 P 3/06

H 0 3 K 17/16

9184-5J

7210-4M

H 0 1 L 27/ 10

3 2 5 T

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21)出願番号 特願平4-200066

(22)出願日 平成4年(1992)7月28日

(31)優先権主張番号 07/738010

(32)優先日 1991年7月30日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 チン ユー ツァイ

アメリカ合衆国 テキサス州 75082 リ
チャードソン ハニーサックル ドライブ
2408

(72)発明者 ケン サン タン

アメリカ合衆国 テキサス州 75023 プ
ラノアーバー ダウンズ ドライブ 709

(74)代理人 弁理士 中村 稔 (外6名)

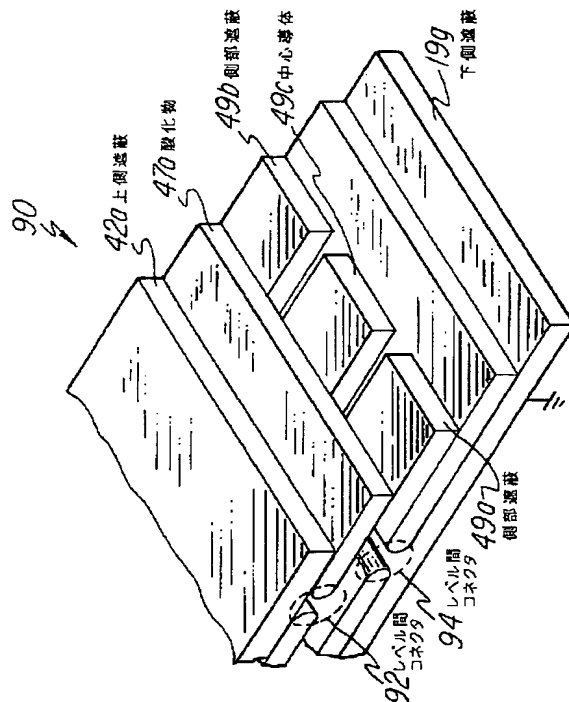
(54)【発明の名称】 半導体装置用同軸遮蔽構造

(57)【要約】

【目的】 本発明の目的は、外側導体内に配置され誘電体によって外側導体から絶縁されている信号担体を有するオンチップ同軸ケーブル構造を提供することである。

【構成】 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれらから絶縁されている信号導体を具備し、上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電氣的にバイアスされていることを特徴とする。

【効果】 本発明の構造は、特別な処理段階を付加することなく二重金属構造の装置の処理中に形成させることができ、外側導体を接地することによって雑音排除特性を高めることができる。



【特許請求の範囲】

【請求項1】 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれらから絶縁されている信号導体を具備し、

上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電氣的にバイアスされていることを特徴とする半導体装置のための保護された信号導体。

【請求項2】 半導体サブストレート上に第1の導体信号担体を形成させる段階と、

上記第1の導体信号担体が第2の導体内に位置し、且つ第2の導体から絶縁されるように上記半導体サブストレート上に第2の導体を形成させる段階と、

を具備することを特徴とする半導体サブストレート上の信号担体を雑音から絶縁する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積半導体装置に関し、具体的にはこれらの装置の信号伝送線レイアウトに関する。

【0002】

【従来の技術】 大容量のダイナミックランダムアクセスメモリ（DRAM）型の半導体の開発を追求することが周知の目標である。この分野は White、McAdams 及び Redwineの合衆国特許 4,081,701号に示された 16 K型の DRAM、及び Raoの合衆国特許4,055,444 号に示された 64 K型のDRAMから、McElroy の合衆国特許 4,658,377号に示された 1 M型の DRAMまで着実に前進してきた。現在では 4 M型の DRAMが生産されている。現在、サブミクロン技術の 16 M DRAMの生産計画が存在しており、05/21/91付 Shen、Yashiro、McKee 及び Chungの合衆国特許 5,017,506号には高密度 16 M DRAMの製造に適するプロセスが開示されている。より大きいDRAMの開発を進める1つの理由は、Kuoの合衆国特許4,240,092 号（平面コンデンサセル）、及び Baqlee らの合衆国特許 4,721,987号（溝コンデンサセル）に示されているように、メモリセルのジオメトリを減少させるためである。上記合衆国特許 5,017,506号に記載されている 16 M DRAMはサブミクロンの寸法を有している。

【0003】

【発明が解決しようとする課題】 高密度装置を製造する際に設計者が遭遇する問題は雑音である。望ましくない幾つかの項目の中でも雑音は、回路を偶発的にスイッチさせる恐れがあり、データを失わせる恐れがあり、そして信号レベルを妨害する恐れがある。ジオメトリを減少させ続け、装置を半導体ダイス上により緻密にパックし始めるにつれて、雑音が諸問題を惹起する機会が増加する。

【0004】

【課題を解決するための手段】 本発明の目的は、集積半導体装置内の雑音を軽減させることである。本発明の別の目的は、集積半導体装置における雑音遮蔽を提供することである。本発明は、導体によって伝送される信号に悪影響を与える雑音を低減させるオンチップ同軸ケーブルを提供する。信号導体は半導体チップ上に敷設される。この信号導体は第2の導体内に配置され、それとは絶縁されている。二重レベル金属のようなマルチレベル金属装置では、信号導体を第1のレベルの金属で形成させ、第2の導体をこれも第1のレベルの金属で形成させることができる。第1のレベルの金属は、第1の信号導体を該導体に沿って形成される第2の導体の部分から分離させるようにパターン化される。第2のレベルの金属と、ポリシリコンのような導電性材料のレベルとによって、第2の導体の形成を完了させることができる。ポリシリコンのレベルを信号導体の下に配置し、雑音をさらに低下せしめるためにある電圧電位に接続することができる。第2のレベルの金属が信号導体の上に配置されている。信号導体と第2の導体との間を絶縁するために、酸化物絶縁体を設けることができる。通路（via）のようなレベル間コネクタ及び酸化物絶縁体内の接点によって、種々レベルにある第2の導体の間の電氣的結合を可能にしている。信号担体は半導体チップ上の外側導体の内部に中心決めされ、それから絶縁されていて、信号担体を雑音妨害から保護する同軸ケーブルがチップ上に形成される。

【0005】 本発明の他の目的及び長所は以下の添付図面に基づく説明から明白に成るであろう。

【0006】

【実施例】 図1を参照する。本発明の雑音遮蔽構造は、テキサス・インスツルメンツ・インコーポレーテッドに譲渡された 05/21/91 付合衆国特許 5,017,506号に記載されているようなサブミクロンプロセスによって半導体チップ10（以下に、場合に応じてサブストレート、またはウエーハと称することがある）の1つの面内に形成されたDRAMアレイ12を有する半導体チップ10上の信号を絶縁するために使用することができる。DRAM回路は、例えば 16 MビットDRAMであってよい。DRAMアレイ12は、4メガバイトの4つのメモリ象限12a-12dに分割され、各象限はシリコンで形成されている半導体チップ10の活動面内に位置している。各メモリ象限12a-12dは、256 Kバイトずつの16のメモリブロック16を含む。各メモリブロック16は、2048本のビット線17（または列）と、1024のセンス増幅器と、256本の語線19（または行）を含んでいる（これらのビット線、語線、及びセンス増幅器は明瞭化のために図1には示してない）。列デコーダ18は、それらの関連メモリアレイ象限に接してチップの水平軸23に沿って配置されている。行デコーダ20は、それらの関連メモリアレイ象限に接してチップの垂

直軸25に沿って配置されている。入力バッファ、出力バッファ、タイミング回路及び制御回路のような装置を含む周辺回路22は周辺のサブストレート上に形成され、チップの水平軸に沿って中心に配置され、一方ボンディングパッド24はチップの垂直軸に沿って中心に配置されている。明瞭化のために図1には示していないが、このDRAMはアドレス信号A0-A11を受け、その動作は標準信号である行アドレスストロブRAS信号、列アドレスストロブCAS信号、及び書き込み許可W信号によって制御される。半導体チップ10の大きさは約3 10 27×660ミルである。

【0007】図2はカプセル封じされたチップ10の斜視図であってカプセル材料26を透明にして内部を示しており、一方図3は分解図である。チップ10はリードオーバーチップセンターボンド(LOCCB)型の薄いプラスチック製の小さい外形のJ型パッケージ内にカプセル封じされている。チップ10はリードフレーム30の下に配置されている。ポリイミドテープ32の2つのストリップがチップ10の垂直軸25に沿い、ボンディングパッド24を覆わずに露出させるように、ボンディング 20 パッド24の両側に位置決めされている。組立てた時、ボンディングパッド24は V_{DD} 電源バス36と V_{SS} 電源バス38との間に位置し、種々のボンディングパッド24はこれらの電源バスから半導体チップ10への多重接続を可能ならしめる。ワイヤーボンド40aのような他のワイヤーボンドは電源バスをまたいでリードフィンガー40をボンディングパッド24に取り付けている。これらの交差したワイヤーボンドは電源バスに接触することではなく、短絡は生じない。カプセル封じされたパッケージの寸法はほぼ400×725ミルである。

【0008】図4はDRAMアレイ12の一部の上面図である。DRAMアレイ12のメモリセルは、サブミクロン技術によって得られた溝コンデンサ型である。これらのメモリセルは二重語線ピッチ内に展開され、サブストレート10内に約6ミクロンの深さに伸びている。ビット線17はポリサイド(polyside)であり、雑音排除特性を改善するために三重にツイストされている。語線19はポリシリコンであり、64ビット置きにストラップされている。

【0009】図5はDRAMアレイ12の一部の斜視図であり、図6は断面図である。相互接続金属-2層42は語線ストラッピングを達成し、後述するように、本発明の雑音遮蔽構造に使用することができる。金属-2層42は、半導体チップ10の第2のレベルの金属である。酸化物層47が金属-2層42を金属-1層49から分離している。金属-1層49はマルチレベル相互接続金属49であってビット線への接続を達成し、雑音遮蔽構造に使用することができる。金属-1層49は、半導体チップ10の第1層の金属である。従って、半導体チップ10上に形成された集積回路メモリ装置は、第1 50

金属層49と第2金属層42とを有する二重レベル金属構造である。

【0010】酸化物層51は相互接続金属-1層49の下に横たわっていて、珪化物ビット線17と第1金属層49との間を絶縁している。ビット線17は、ポリシリコンの層17b上に横たわるチタン窒化物の層17aからなっている。酸化物層53がビット線17の下に、そして語線19の上に位置している。ポリシリコンの語線19は、約0.6ミクロンのサブミクロン幅を有している。語線19aはバスタランジスタ43のゲートを形成している。これは酸化物層54によってサブストレート10から分離されている。語線19c及び19dは上側溝コンデンサ44及び45の上を通過し、他の溝コンデンサ(図示していない)に接続している。これらの語線は酸化物層55によってポリシリコンフィールド板48から分離されている。語線19は窒化物の側壁57を有している。N+拡散層59がビット線接点15の下方のP-タンク60内の、語線19aと溝コンデンサ44との間に位置している。このようにして、N+拡散層59はバスターミナルトランジスタ43のソース56及びドレイン58を形成している。フィールド板48の下側の、溝コンデンサ44と45とを分離している溝と溝との間の空間には窒化物層61が配置される。窒化物層61とP-タンク60との間には酸化物層62が位置している。これはシリコンサブストレート10と窒化物層61との間のバッファ層として働き、フィールド板絶縁用誘電体の部分である。溝コンデンサ44及び45はP-タンク60を通してシリコンウエーハ10のPサブストレート内まで伸びている。溝コンデンサ壁の外側に注入された砒素の層50はコンデンサのN+ストレージノードを発生する。溝コンデンサ壁は、砒素溝壁注入とポリシリコンフィールド板48との間で(記憶)誘電体として働く酸化物及び窒化物の層52を含む。転送トランジスタ43及び溝コンデンサがメモリセル46を構成する。

【0011】図7は転送トランジスタ43及び溝コンデンサ44の電気的動作を説明するための回路図である。データをメモリセル46に記憶させる場合、データ(3.3Vまたは0.0V)がビット線17上に印加され、高電圧(約6V)信号がゲート54に印加される。ビット線17上に印加された電圧はソース56を介して記憶誘電体52に伝えられる。フィールド板48は約1.65Vの参照電位に結合されており、従ってビット線17によって印加された電圧は記憶誘電体52に記憶される。記憶誘電体52にデータを記憶させるためには、ゲート54から正の電圧を取り除いてソース56とドレイン58との間の導電を停止させる。

【0012】図8は、バイアス電圧 V_{ARRAY} 及び V_{PERI} を発生するオンチップ電圧調整器システム64のブロック線図である。これらのバイアス電圧は、本発明の雑音遮蔽構造によって保護することができる。DRAMは、

典型的には5Vである外部正電圧 V_{DD} を受ける。オンチップ電圧調整器システム64はアレイ12（それに付属するセンス増幅器のような回路を含むが、ここではまとめてアレイ12と称する）及び周辺回路のための異なるバイアス電圧を供給する。この場合、アレイ12とメモリコンデンサ誘電体の時間依存誘電体降伏とによる電力消散を減少させるように、外部から印加される5Vの V_{DD} 電圧より低い電圧でアレイ12をバイアスすることが望ましい。これはまた、トランジスタの薄いゲート酸化物の酸化物障害を防ぐのを援助する。DRAMアレイ12は電圧 V_{ARRAY} によって約3.3Vにバイアスされ、周辺回路22は電圧 V_{PERI} によって約4Vにバイアスされる。周辺回路22の性能が半導体装置の性能に直接影響するから、アレイ12をバイアスするために使用する電圧よりも高い電圧で周辺回路22をバイアスすることが好ましい。しかしながら、アレイ12及び周辺回路22の両者を同一の電圧でバイアスしても差し支えなく、電圧調整器システム64は、若干の変更を施せば、同じ値の電圧 V_{ARRAY} 及び V_{PERI} を供給することができる。DRAMをラップトップコンピュータシステム（システム

のための電池駆動電圧は、典型的には約2.8Vプラスまたはマイナス約0.8V程度である）内に組み込む場合のように、生成されるこれらのバイアス電圧は低くしても差し支えない。上述の供給される同一電圧値は、電池からラップトップコンピュータに供給される値に等しくすることができる。また、半導体及びコンピュータ業界が V_{DD} の供給を標準の5Vから約3Vに下げることと同意する場合には、バイアス電圧 V_{ARRAY} 及び V_{PERI} は相応に低下させることが可能であり、また同一値とすることができる。

【0013】図8において、バンドギャップ参照回路65は、乗算回路66へ供給される電圧 V_{ref} を生成する。多くのバンドギャップ電圧参照発生器回路が知られている。電圧 V_{ref} は約1.2Vの安定した参照電圧である。電圧乗算回路66は、多くの普通の構成の1つに従って形成することができる。本例では、乗算回路66は電圧 V_{ref} から線MVA及び線MVP上の2つの出力電圧を生成する。線MVA上の電圧は約3.3V程度であり、線MVP上の電圧は約4.0V程度である。

【0014】バーンイン電圧発生器回路67は、外部から印加される電源電圧 V_{DD} と共に変化する電圧を線VLBIN上に生成する。 V_{DD} クランプ回路68は線VCLMP上に電圧を生成し、この電圧は外部電圧 V_{DD} がある値を超えていることを高 V_{DD} 検出回路70が検出すると固定レベルにクランプされる。線MVA、線VLBIN及び線VCLMPは V_{ARRAY} マルチプレクサ72の入力に接続されている。同様に、線MVP、線VLBIN及び線VCLMPは V_{PERI} マルチプレクサ74の入力に接続されている。

【0015】 V_{ARRAY} マルチプレクサ72は、線BINEN上のバーンイン電圧検出器回路76からの制御信号と、

線CLMPEN上の高 V_{DD} 検出回路70からの制御信号とに応答して、線MVA、線VLBIN及び線VCLMPの1つからの電圧を、その出力である線VAR上に供給する。同様に V_{PERI} マルチプレクサ74は、線VINEN及び線CLMPEN上の信号に依存して線MVP、線VLBIN及び線VCLMPの1つからの電圧を線VPR上に出力する。両マルチプレクサからの線VAR及び線VPR上の電圧出力を、本発明のオンチップ雑音遮蔽によって有利に保護することができる。両マルチプレクサからの線VAR及び線VPR上の電圧出力は、安定な参照電圧である。これらはアレイ及び周辺回路に給電するだけの十分な駆動能力は有していない。

【0016】図8において、線VAR及び線VPR上の電圧は、それぞれ2つの駆動回路78及び80に印加される。駆動回路78は、主駆動回路78M及びスタンバイ駆動回路78Sからなり、アレイ12を電圧 V_{ARRAY} で駆動する。駆動回路80は、主駆動回路80M及びスタンバイ駆動回路80Sからなり、周辺回路22を電圧 V_{PERI} で駆動する。主駆動回路78M及び80Mは、活動動作中に、それぞれアレイ12及び周辺回路22にバイアス電圧を供給し、一方スタンバイ駆動回路78S及び80Sは、回路がスタンバイ状態にある時に、それぞれアレイ12及び周辺回路22にバイアス電圧を供給する。スタンバイ駆動回路78S及び80Sは主駆動回路78M及び80Mに類似した構造であるが、小さいトランジスタを使用してそれらから引き出す電流及びそれらによって消散される電力がスタンバイ時間中には減少するようになっている。各駆動回路78及び80は、外部からチップに供給される V_{DD} によってバイアスされている（図示してない）。駆動回路78M、78S、80M及び80Sにそれぞれ接続されている線VLA、VLAS、VLP及びVLPSはそれらへ許可信号を供給する。線VLA及び線VLP上の許可信号をDRAM12によって受信される行アドレスストローブ（RAS）信号から生成して主駆動装置78がメモリスサイクルの活動部分の間だけ活動するようにすることができる。

【0017】サブストレートバイアス検出回路82は、サブストレートポンプ回路84によって発生されるサブストレート電圧 V_{ss} に接続されている。駆動回路78及び80はサブストレートバイアス検出回路82からの信号VBBOを受けている。低論理活動状態の信号VBBOも駆動回路78及び80の制御信号である。信号VBBOは、サブストレートバイアス V_{ss} を V_{DD} に対して測定した時に V_{ss} が不十分であると低論理レベルになる。駆動回路はサブストレートバイアス検出回路82のVBBO出力に応答するので、サブストレートバイアスが失われた場合にはアレイ12及び周辺回路22に供給される電力が低下する。アレイ12及び周辺回路22の電力低下は、CMOS構造に固有の寄生SCRのラッチアップによる破壊から集積回路のこれらの部分を保護するのを援助する。

【0018】サブストレートポンプ回路84が発生する電圧 V_{DD} は、チップに印加されている V_{DD} または接地電位に対して半導体サブストレート10を約-2.0 Vにバイアスするために使用される。図9は、半導体チップ上の電圧調整器システムの部分的なレイアウトをブロックで示す図である。システムはメモリアレイ象限間のチップ領域内に配置されている。ブロック84はバンドギャップ参照回路65、乗算回路66、マルチプレクサ72、74の組み合わせを示している。ブロック84は安定した参照電圧 V_{ARRAY} 及び V_{PERI} を出力する。電圧 V_{ARRAY} 及び V_{PERI} はメモリアレイ象限に続く周辺回路に沿って走り、それぞれ V_{ARRAY} 駆動回路及び V_{PERI} 駆動回路にバイアスを供給する。明瞭化のために、図1で説明したメモリ象限のための行デコーダは図9には示していない。行デコーダが作動し、駆動回路が作動し、そして図示はしていない他の信号が電圧線VAR及びVPR付近を走ったり、またはこれらの線と交差したりすると、これらの鋭敏な信号レベルに雑音が悪影響を及ぼす機会が多くある。しかしながら、これらの電圧線は本発明の好ましい実施例の雑音遮蔽構造によって雑音から保護されている。

【0019】図10は本発明の好ましい実施例の一部分の端面を示す斜視図である。オンチップ雑音遮蔽構造90は、中心導体49c上を伝送される信号のための雑音遮蔽になる。図8及び9の安定な参照電圧 V_{ARRAY} 及び V_{PERI} は、それらをオンチップ同軸ケーブル構造を通して伝送することによって雑音に対して保護することができる。雑音遮蔽構造を形成するために3レベルの導電性材料が使用されている。図6に関して説明した二重レベル金属DRAMでは、上側レベルの導電性材料42aは金属-2層42で形成することができる。この上側レベルの導電性材料42aは、中心導体49cのための上側雑音遮蔽を構成している。有利なことには、これは金属層42を形成する時にシリコンサブストレート上に形成させることができる。導電性材料の下側の層19gはゲートポリシリコン19で形成させることができる。また、これはポリサイドビット線17で形成させてもよい。下側の層19gは中心導体49cのための下側雑音遮蔽になっている。有利なことには、これはゲートポリシリコン語線19を形成する時にシリコンサブストレート上に形成させることができる。中心導体49c及び側部層49a、49bは、上側の導電レベルと下側の導電レベルとの間の中間の導電レベルである。これらは金属-1層49で形成することができる。側部層49a及び49bは、中心導体49cのための側部雑音遮蔽を構成している。中心導体49cは、保護すべき信号を伝送する。例えば、中心導体49cは電圧 V_{ARRAY} を伝送する。有利なことには、側部遮蔽49a、49b及び中心導体49cは、金属-1層49を形成する時にシリコンサブストレート上に形成させることができる。

【0020】図10において、上側絶縁体47aが上側遮蔽42aを中心導体49cから分離させている。DRAM実施例における上側絶縁体47aは酸化物47で形成させ、酸化物47と同時に処理することができる。下側絶縁体53aが下側遮蔽19gを中心導体49cから分離させている。図6のDRAMにおける下側絶縁体53aは酸化物53で形成させ、酸化物53と同時に処理することができる。

【0021】図10に示すように、側部遮蔽49a及び49bは、導電性材料と同一レベルの中心導体49cの両側に位置している。これらは中心導体49cから離間し、分離されている。絶縁体47aは中心導体49cと側部遮蔽49aとを分離している空間を満たすことができ、また中心導体49cと側部遮蔽49bとを分離している空間を満たすことができる。オンチップ雑音遮蔽90を形成させる場合、中間導電レベル金属-1層49を形成させた後に例えばエッチングすることによって該層をパターン化し、中心導体49cを側部遮蔽49a及び49bから分離させることができる。後に例えば水蒸気酸化を用いて成長させることによって酸化層47aを形成させる時に、中心導体49cと横側導体との間の中間導電レベルを絶縁用酸化物で充填することができる。

【0022】図10において、上側遮蔽42a、側部遮蔽49a、49b、及び下側遮蔽49cは全て互いに電氣的に接続されている。上側酸化物47a内の通路が、上側導電レベル遮蔽42aと中間導電レベル側部遮蔽49a、49bとの間に電氣的接続を与えるレベル間コネクタである。このような通路の1つ92を図示してある。通路92は上側絶縁層47a内のアパーチャからなる。上側雑音遮蔽42aの金属が通路を埋め、側部遮蔽49aとの電氣的接続を行う。良好な電氣的接続を得るために必要なだけの通路を設けることができる。上側遮蔽42aと側部遮蔽49aとの間の接続を行う通路92は、明瞭化のために図示していない。同様に下側酸化物53a内の接続も、中間導電レベル側部遮蔽49a、49bと下側導電レベル遮蔽19gとの間の電氣的接続を行うレベル間コネクタによって達成される。コネクタとしての接点94だけを図示してあるが、良好な電氣的接続を得るために必要なだけの接点を設けることができる。周辺装置のための酸化物53内に接点を形成する処理中に酸化物53a内の接点を形成させることができる。同様に、酸化物47内の通路を周辺装置上に形成させる時に、酸化物47a内の通路92を形成させる。

【0023】本雑音遮蔽構造は製造中の装置の一部として処理することができるから、必ずしもそのようでもなくとも差し支えないが、この構造を装置のサイズに比肩し得るサイズとすることができる。例えば、上述したメモリ装置では、ポリシリコン下側遮蔽19gの厚みは約3000 Åである。酸化物53の厚みは約3000 Åであり、酸化物47aの厚みは約12000 Åとすることができる。

上側雑音遮蔽42aの厚みは約6000Å、側部雑音遮蔽49a及び49bの厚みは約5500Åとすることができる。

【0024】図11は半導体サブストレート上の同軸ケーブル構造を示す。図10の上側遮蔽42a、下側遮蔽19g、側部遮蔽49a、49bは全て電氣的に接続されており、従って図11では導電性構造96が中心導体49cを取り囲んでいるように示してある。導体49cは導電性構造96の中心に位置している。導体49cが内側導体を構成し、導電性構造96が外側導体を構成している。内側導体49cは、絶縁体98を構成している誘電体(酸化物)47a及び53aによって外側導体96から分離されている。内側導体49cが外側導体96の内側中心にあり、外側導体96から絶縁されているのでオンチップ同軸ケーブル構造を形成しているのである。中心導体49c内を走行する信号は、この同軸ケーブル構造によって雑音妨害から保護される。上述したメモリ装置の実施例では、外側導体96はある電圧電位に接続することができる。これは、下側ポリシリコン導体19gを半導体サブストレート上の接地電圧端子に接続することによって容易に達成することができる。外側雑音遮蔽を接地のような共通電圧電位に接続することによって、信号担体上の雑音妨害がより一層減少する。

【0025】以上に説明したように、本発明は、外側導体内に配置され誘電体によって外側導体から絶縁されている信号担体を有するオンチップ同軸ケーブルを特徴としている。外側導体を接地して雑音排除を更に高めることができる。有利なことには、本発明の構造は、特別な処理段階を付加することなく二重金属装置の処理中に形成させることが可能であり、DRAMのような高密度二重レベル金属装置に特に適している。

【0026】以上に本発明をDRAMに関して、及び電圧を雑音から分離することに関して説明したが、本発明はDRAMまたはメモリ装置、または電圧伝送線に限定されるものではない。本発明は一般的に、信号を雑音から保護する必要があるような集積回路装置に広範に有用である。限定するものではないが、本発明の恩恵を受ける他の装置例は、論理装置、マイクロプロセッサ、制御装置、及び線形装置を含むことができる。マイクロコンピュータ内のクロック線、及び論理装置内の事前緩衝された出力信号は、特に、保護の便益を受けることができる多くの信号の型の2つの例である。

【0027】本発明を特定の実施例について説明したが、この説明は本発明を限定する意図の下になされたものではない。当業者ならば、以上の説明から本発明の他の種々実施例が明白であろう。従って特許請求の範囲は、これらの変形実施例の何れも本発明の真の範囲及び思想内にあるものとして、これらをカバーするものと信ずる。

【0028】以上の記載に関連して、以下の各項を開示

する。

(1) 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれらから絶縁されている信号導体を具備し、上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電氣的にバイアスされていることを特徴とする半導体装置のための保護された信号導体。

(2) 上部導体、下部導体、第1の側部導体、及び第2の側部導体は同一の電位で電氣的にバイアスされるように互いに結合されている前記第1項に記載の保護された信号導体。

(3) 信号担体と上部導体、下部導体、第1の側部導体、及び第2の側部導体との間には絶縁用誘電体が配置され、信号担体を絶縁している前記第2項に記載の保護された信号導体。

(4) 上部導体は絶縁用誘電体内の通路を通して側部導体に結合され、側部導体は絶縁用誘電体内の接点を通して下側導体に結合されている前記第3項に記載の保護された信号導体。

(5) 半導体チップと、上記半導体チップ上に配置され、第2の導体の内側の中心に位置し且つ該第2の導体から絶縁されている第1の導体とを具備することを特徴とするオンチップ同軸ケーブル。

(6) 上記第2の導体が、上記第1の導体の上に配置されている上側導体と、上記第1の導体の下に配置されている下側導体と、上記上側導体と下側導体との間にあって、上記第1の導体の一方の側に隣接して配置されている第1の側部導体と上記上側導体と下側導体との間にあって、上記第1の導体の別の側に隣接して配置されている第2の側部導体とからなる前記第5項に記載のオンチップ同軸ケーブル。

(7) 誘電体が、上記第1の導体と上記上側導体との間と、上記第1の導体と上記下側導体との間と、上記第1の導体と上記第1の側部導体との間と、上記第1の導体と上記第2の側部導体との間に配置されている前記第6項に記載のオンチップ同軸ケーブル。

(8) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、上記誘電体内のアーチャを通して互いに結合されている前記第7項に記載のオンチップ同軸ケーブル。

(9) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、接地電位に電氣的にバイアスされている前記第8項に記載のオンチップ同軸ケーブル。

(10) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、上記下側導体を半導体上の接地電圧源に接続することによって接地電位に電氣的にバイアスされている前記第8項に記載のオンチップ同軸ケーブル。

(11) 半導体サブストレート上の信号導体を通して伝送される信号に影響する雑音を防止するための構造で

あって、半導体サブストレート上に配置されている第1のレベルの導電性材料と、上記第1のレベルの導電性材料上に配置されている第1のレベルの絶縁材料と、上記第1のレベルの絶縁材料上に配置され、上記信号導体が第1の側部導体と第2の側部導体（両側部導体は上記第1のレベルの絶縁材料内に配置されているレベル間コネクタを通して上記第1のレベルの導電性材料に接続されている）との間に位置し且つ両側部導体から離間するようにパターン化されている第2のレベルの導電性材料と、上記第2のレベルの導電性材料上に配置されている第2のレベルの絶縁材料と、上記第2のレベルの絶縁材料上に配置され、上記第2のレベルの絶縁材料内に配置されているレベル間コネクタを通して上記第1の側部導体及び第2の側部導体に接続されている第3のレベルの導電性材料とを具備することを特徴とする雑音防止構造。

(12) 上記第2のレベルの絶縁材料は、上記信号導体と上記第1の側部導体との間にも位置している前記第11項に記載の雑音防止構造。

(13) 上記第2のレベルの導電性材料及び上記第3のレベルの導電性材料は金属である前記第12項に記載の雑音防止構造。

(14) 上記第1のレベルの絶縁材料及び上記第2のレベルの絶縁材料は酸化物である前記第13項に記載の雑音防止構造。

(15) 上記第1のレベルの導電性材料はポリシリコンである前記第14項に記載の雑音防止構造。

(16) 上記ポリシリコンは共通電位に接続されている前記第14項に記載の雑音防止構造。

(17) 半導体サブストレート上に第1の導体信号担体を形成させる段階と、上記第1の導体信号担体が第2の導体内に位置し、且つ第2の導体から絶縁されるように上記半導体サブストレート上に第2の導体を形成させる段階と、を具備することを特徴とする半導体サブストレート上の信号担体を雑音から絶縁する方法。

(18) 上記第2の導体を形成させる段階が、上記第1の導体信号担体の下に上記第1の導体信号担体から離間させて下側導体を形成させる段階と、上記第1の導体信号担体の一方の側に上記第1の導体信号担体から離間させて第1の側部導体を形成させる段階と、上記第1の導体信号担体の別の側に上記第1の導体信号担体から離間させて第2の側部導体を形成させる段階と、上記第1の導体信号担体の上に上記第1の導体信号担体から離間させて上側導体を形成させる段階とを具備する前記第17項に記載の方法。

(19) 上記第1の導体信号担体を形成させる段階、上記第1の側部導体を形成させる段階、及び上記第2の側部導体を形成させる段階は同時に遂行される前記第18項に記載の方法。

(20) 上記第1の導体信号担体と上記下側導体との

間に第1の絶縁体を形成させ、上記第1の側部導体と上記第2の側部導体とが上記下側導体に電気的に結合されるように上記第1の絶縁体内に接点を形成させる段階と、上記第1の導体信号担体と上記上側導体との間に第2の絶縁体を形成させ、上記上側導体は上記第1の側部導体と上記第2の側部導体とに電気的に結合されるように上記第2の絶縁体内に通路を形成させる段階とを備えている前記第19項に記載の方法。

(21) 半導体装置において、本発明によるオンチップ同軸ケーブルは信号導体によって伝送される信号に悪影響を及ぼす雑音を低減させる。信号導体(49c)は第2の導体内に位置し、第2の導体から絶縁されている。酸化物(47a)のような誘電体を絶縁体として使用することができる。二重レベル金属装置のようなマルチレベル金属装置では、信号導体(49c)は第1のレベルの金属で形成させることができ、第2の導体の一部もまた第1のレベルの金属で形成させることができる。第1のレベルの金属(49)を形成させた後、それをパターン化して第1の信号導体(49c)を第1の導電性雑音遮蔽(49a)及び第2の導電性雑音遮蔽(49b)から分離させる。第2のレベルの金属(42)及びポリシリコンのような導電レベルの材料(19g)によって第2の導体の形成を完成させることができる。ポリシリコン(19g)のレベルは信号導体(49c)の下に配置して下側導電性雑音遮蔽を形成させることができる。第2のレベルの金属(42)は信号導体の上に配置して上側導電性雑音遮蔽(42a)を形成させることができる。酸化物絶縁体(47a、53a)を上側導電性雑音遮蔽(42a)と信号導体(49c)との間に配置することによって、及び下側導電性雑音遮蔽(19g)と信号導体(49c)との間に配置することによって、信号導体(49c)と第2の導体との間を絶縁することができる。通路(92、94)のようなレベル間コネクタ及び酸化物絶縁体内の接点が種々のレベルに配置された第2の導体間の電気的結合を行う。信号導体は半導体チップ上の外側導体の内部の中心に位置決めされ、外側導体から絶縁されているので、雑音妨害から信号担体を保護するオンチップ同軸ケーブルが得られる。第2の導体は、下側導電性雑音遮蔽を接地のようなある電圧源に接続することによって、電気的にバイアスすることができ、それによって雑音低減を一層高めることができる。

【図面の簡単な説明】

【図1】本発明の好ましい実施例を組み入れたサブストレート上の半導体集積回路装置を示すブロックシステムレベル図である。

【図2】カプセル材料を透明にして示すパッケージされカプセル封じ半導体集積回路装置の斜視図である。

【図3】図2の部分組立て図である。

【図4】半導体集積回路装置のメモリアレイレイアウトの一部の上面図である。

【図5】メモリアレイのメモリセルの断面斜視図である。

【図6】メモリセルの側断面図である。

【図7】メモリセルの回路図である。

【図8】本発明の雑音遮蔽構造によって有利に保護できる電圧線を有するオンチップ安定化電圧システムを示すブロック線図である。

【図9】安定化電圧システムの一部のレイアウトを示すブロックレベル図である。

【図10】本発明の雑音遮蔽構造の好ましい実施例の部分斜視図である。

【図11】半導体サブストレート上の本発明の概念を示す斜視図である。

【符号の説明】

10 半導体チップ（サブストレート、ウエーハ）

12 DRAMアレイ

12a-12d メモリ象限

15 ビット線接点

16 メモリブロック

17 ビット線

17a チタン窒化物層

17b ポリシリコン層

18 列デコーダ

19 語線

19g 下側遮蔽

20 行デコーダ

22 周辺回路

23 水平軸

24 ボンディングパッド

25 垂直軸

26 カプセル材料

30 リードフレーム

32 ポリイミドテープ

36 V_{dd} 電源バス

38 V_{ss} 電源バス

40 リードフィンガー

* 40a ワイヤーボンド

42 金属-2層

42a 上側遮蔽

43 バス（転送）トランジスタ

44、45 溝コンデンサ

46 メモリセル

47、51、53、54、55、62 酸化物層

48 フィールド板

49 金属-2層

10 49a、49b 側部遮蔽

50 砒素層

52 酸化物及び窒化物層（記憶誘電体）

54 43のゲート

56 43のソース

57 窒化物の側壁

58 43のドレイン

59 N+拡散層

60 P-タンク

61 窒化物層

20 64 オンチップ電圧調整器システム

65 バンドギャップ参照回路

66 乗算回路

67 バーンイン電圧発生器回路

68 V_{dd} クランプ回路

70 高 V_{dd} 検出回路

72 V_{ARRAY} マルチプレクサ

74 V_{PERT} マルチプレクサ

76 バーンイン電圧検出回路

78M、80M 主駆動回路

30 78S、80S スタンバイ駆動回路

82 サブストレートバイアス検出回路

84 サブストレートポンプ回路

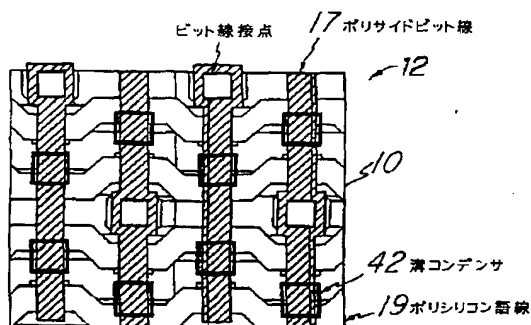
90 オンチップ雑音遮蔽構造

92、94 通路（レベル間コネクタ）

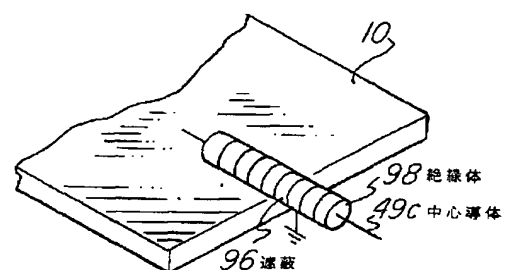
96 導電性構造（遮蔽）

* 98 絶縁体

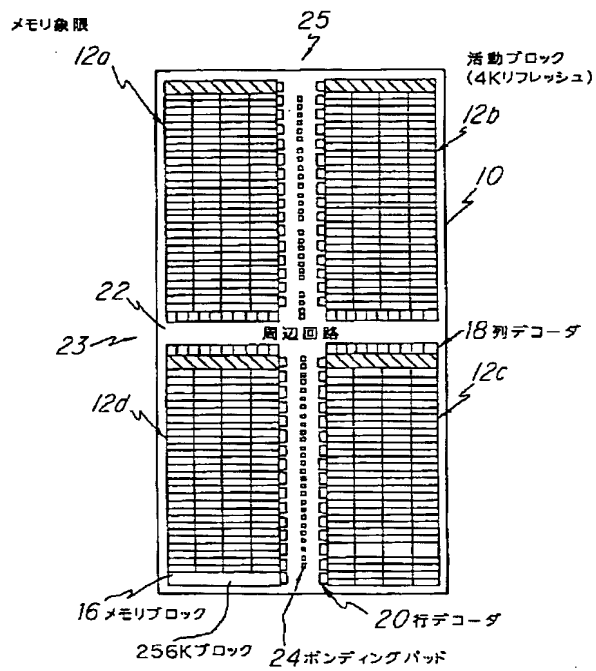
【図4】



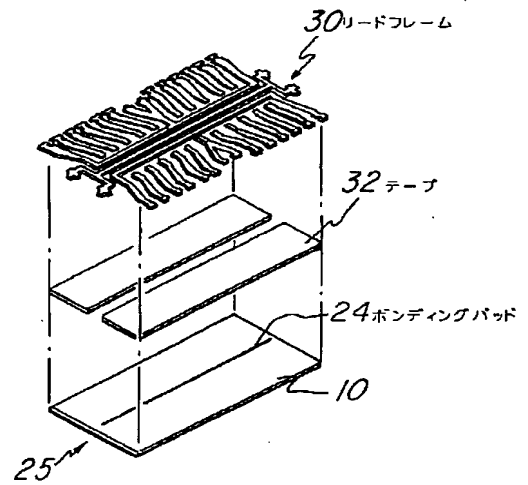
【図11】



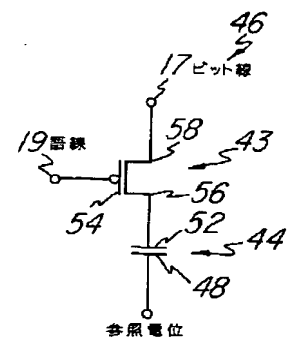
【図1】



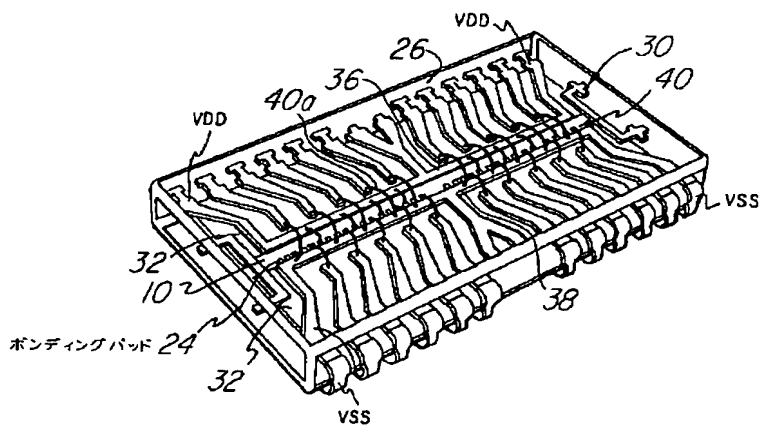
【図3】



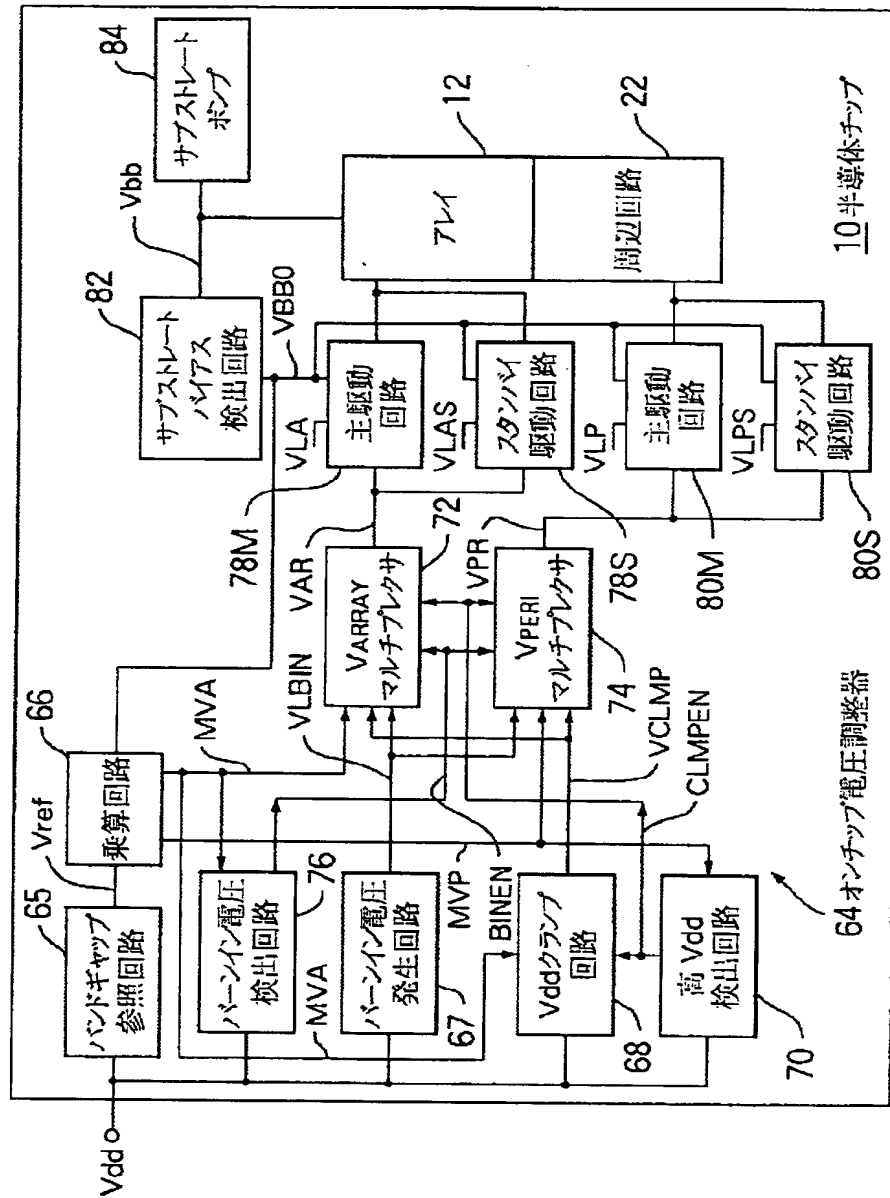
【図7】



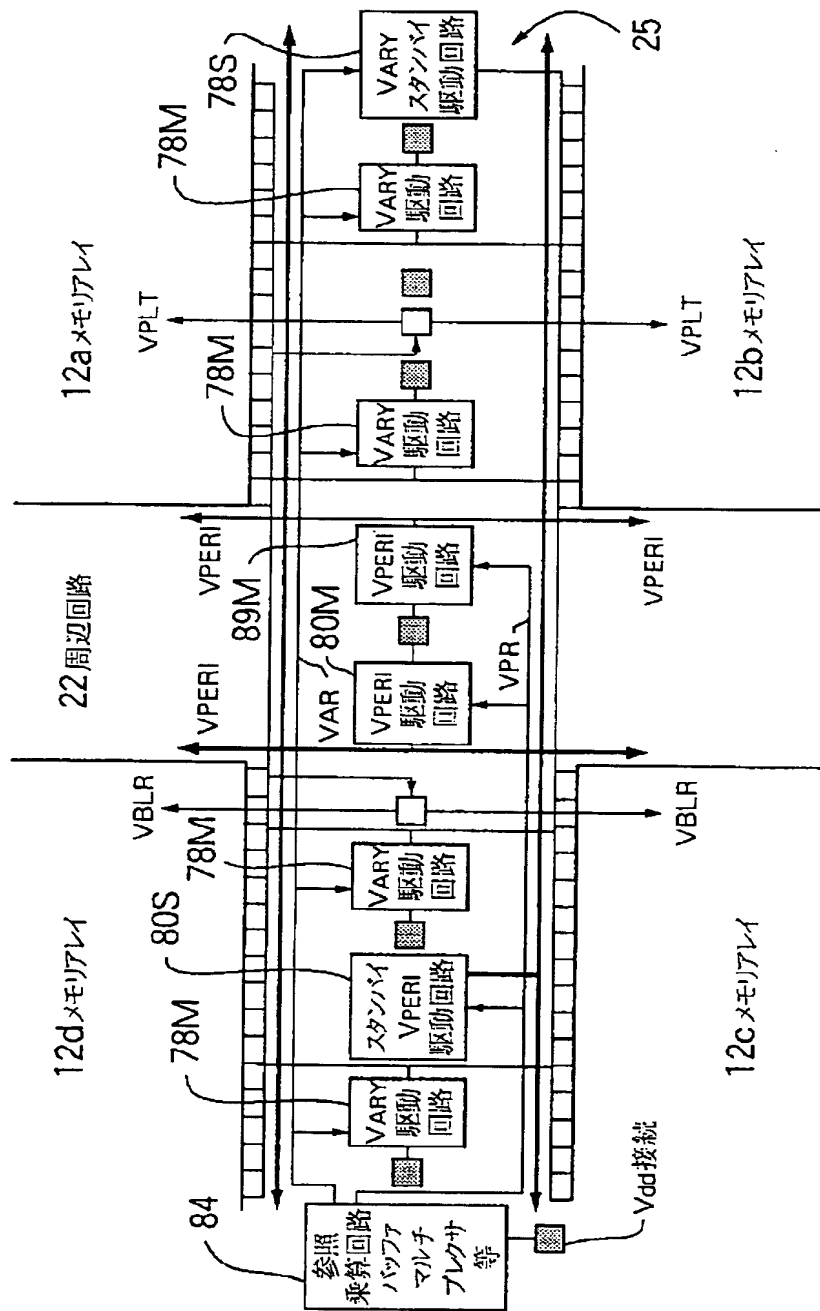
【図2】



【図8】



【図9】



【図10】

